

RECEIVED  
DEC 05 2002  
TC 1700

1765

PATENT  
Docket No. JCLA7578  
page 1

**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : HSIANG-LAN LUNG et al.

Application No. : 10/065,208

Filed : September 25, 2002

METHOD FOR EPITAXIALLY GROWING A  
For : LEAD ZIRCONATE TITANATE THIN FILM

**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

November 25, 2002

(Date)

Jiawei Huang, Reg. No. 43,330

Examiner :

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. **90124031** filed on **September 28, 2001**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA7578).

Date: 11/25/2002

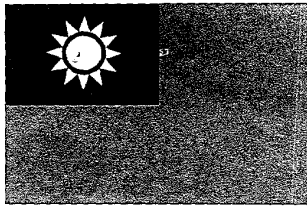
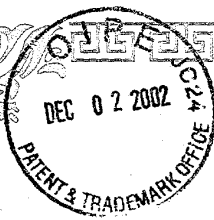
By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
(949) 660-0761

00191578

10/065,208



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

RECEIVED  
DEC 05 2002  
TC 1700

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 09 月 28 日  
Application Date

申請案號：090124031  
Application No.

申請人：旺宏電子股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2002 年 10 月 28 日  
Issue Date

發文字號：09111021056  
Serial No.

申請日期	
案 號	90124031
類 別	

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	磊晶成長銻鈦酸鉛薄膜的方法
	英 文	
二、發明人 創作	姓 名	龍翔瀾
	國 籍	中華民國
	住、居所	新竹市中正路 482 巷 16 弄 10 號 7F
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區力行路十六號
	代 表 人 姓 名	胡定華

裝

訂

線

## 四、中文發明摘要(發明之名稱： 磊晶成長銦鈦酸鉛薄膜的方法 )

一種磊晶成長銦鈦酸鉛薄膜的方法，其係先以臨場之方式於基底上磊晶成長一層氧化鋁鎳薄膜，其晶型與所需之銦鈦酸鉛薄膜相同，且晶格參數與所需之銦鈦酸鉛薄膜相近。接著以臨場之方式，在 350°C~500°C 之溫度下，於氧化鋁鎳薄膜上磊晶成長銦鈦酸鉛薄膜。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 英文發明摘要(發明之名稱： )

## 五、發明說明 ( / )

本發明是有關一種高介電常數薄膜的製造方法，且特別是有關一種磊晶成長銦鈦酸鉛(Lead Zirconate Titanate,  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ , PZT)薄膜的方法。

銦鈦酸鉛是一種多功能性的材料，其可用作高介電常數材料(High-K Material)、鐵電材料(Ferroelectric Material)、壓電材料(Piezoelectric Material)，或是焦電材料(Pyroelectric Material)，以下將依序簡介之。

其一，由於銦鈦酸鉛薄膜具有高介電常數(Dielectric Constant)，故可應用於先進之動態隨機存取記憶體(DRAM)之製程。這是因為動態隨機存取記憶體(DRAM)之積集度(Integration)不斷地增加，記憶胞(Memory Cell)的尺寸不斷地縮小，所以用來儲存資料之電容器的面積也愈來愈小。因此，為了保持電容器的電容值，以維持存取資料時的訊號雜訊比(Signal to Noise Ratio, S/N Ratio)，未來的趨勢是使用銦鈦酸鉛之類的高介電常數材料作為電容器中介電層的材質。

其二，由於銦鈦酸鉛薄膜具有很強的自發性極化現象(Spontaneous Polarization)，即在外加電場消失後仍具有正向或負向之殘留極化值( $P_r^+$ 或  $P_r^-$ ，其中  $P_r$  為 Residual Polarization 之縮寫)，故可作為一種非揮發性記憶體(Non-Volatile Memory, NVM)，謂之鐵電隨機存取記憶體(Ferroelectric Random Access Memory, FeRAM)。因為 FeRAM 具有低讀寫電壓與較快的讀寫速度( $<100\text{ns}$ )，且其製程步驟較少，故可以取代目前最常用的快閃記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 7 )

(Flash Memory)。

其三，由於鉛鈦酸鉛薄膜具有高壓電常數(Piezoelectric Constant)，故其受壓後即可產生足供偵測的電位差。因此，PZT 薄膜被廣泛的應用在各種壓電裝置中，例如是感測壓力或振動的感測器(sensors)、致動器(actuators)，或是電壓產生器(voltage generators)等。

其四，由於鉛鈦酸鉛薄膜具有高焦電常數(Pyroelectric Constant)，故其受到紅外線照射時，即可因吸收紅外線所產生之熱量而產生足供偵測之電位差。因此 PZT 薄膜可應用在紅外線感測器(Infrared Sensor)或溫度計中。

雖然鉛鈦酸鉛薄膜有如此多功能，但在應用上常遭遇形成溫度過高的問題，尤其是對以鉛鈦酸鉛薄膜作為電容器之介電層的半導體製程而言。美國專利案 US 5589284 所提出之鉛鈦酸鉛薄膜製程係先在電容器之下電極上形成一層晶種層(seed layer)，其材質為釷酸鋇(strontium ruthenate,  $\text{SrRuO}_3$ )、釷酸鋇(barium ruthenate,  $\text{BaRuO}_3$ )，或銻酸鈣(calcium iridate,  $\text{CaIrO}_3$ )等等。接著於  $150^\circ\text{C}$  左右於晶種層上沈積一層 PZT 薄膜，再於  $500^\circ\text{C}$  以上進行回火(annealing)，使 PZT 薄膜具有所需之高介電常數的 Perovskite 晶型(大致呈柱狀)。

另外，US 5817170 所提之方法也是先於下電極上形成晶種層，其材質為鈦酸鉛( $\text{PbTiO}_3$ )。接著於較低溫度下於晶種層上沈積一層 PZT 薄膜，並於  $550^\circ\text{C}$  至  $650^\circ\text{C}$  之下進行回火。此外，US 5998236 之方法係於下電極上形成鈦酸

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 3 )

鉛鏷((Pb,La)TiO<sub>3</sub>, PLT)薄膜，再於其上沈積 PZT 薄膜，後於 525°C 至 550°C 之間進行回火。

然而，由於習知各方法皆需要在 500°C 以上進行回火，故必須先製作 PZT 薄膜，再繼續其後的金屬內連線(Metal Interconnection)製程。如此會產生一些問題，其一是製作介電層及金屬層之機台易受 PZT 薄膜之污染；其二是在金屬內連線製程中使用之電漿及產生之氫氣，易使鐵電電容器受到破壞。

因此，本發明之目的即是提出一種磊晶成長銦鈦酸鉛薄膜的方法，其可在較低溫度下形成具有所需晶型及電性之銦鈦酸鉛薄膜，以避免上述習知方法中因高溫而產生的問題。

本發明之磊晶成長銦鈦酸鉛薄膜的方法步驟如下：首先以臨場(in-situ)之方式於基底上生成一層氧化鏷鎳(lanthanum nickel oxide, LaNO<sub>3</sub>, LNO)薄膜，其晶型與銦鈦酸鉛薄膜相同，且晶格參數(cell parameters)與銦鈦酸鉛薄膜相近。接著以臨場之方式，且在 350°C~500°C 之間，直接於氧化鏷鎳薄膜上磊晶成長銦鈦酸鉛薄膜。此處所謂臨場之方式係指 PZT 薄膜沈積在氧化鏷鎳薄膜上時即同時長成所需晶型，而不似習知方法般先於較低溫下沈積 PZT，再進行高溫之回火步驟。

如上所述，由於本發明之方法中形成 PZT 薄膜的溫度可遠低於習知者，而可先製做金屬內連線再製做電容器，故得以避免下電極易與 PZT 薄膜反應、機台易受 PZT 薄

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(4)

膜之污染，以及電容器易受電漿破壞的問題。這種先製做金屬內連線再製做電容器的方法特稱為電容器在內連線上製程(Capacitor Over Interconnect, COI)。此外，由於本發明之方法中形成 PZT 薄膜之溫度較低，故亦可應用在壓電裝置之製程或焦電裝置之製程中，其較能避免金屬連線受到高溫之破壞。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖所繪示為本發明之較佳實施例中，電容器及其中之銦鈦酸鉛薄膜的製程；

第 2 圖所繪示為本發明之較佳實施例中，以穿透式電顯(TEM)所得之氧化鋁鎳薄膜及銦鈦酸鉛薄膜的剖面圖；

第 3A 與 3B 圖係分別繪示本發明之較佳實施例中，在 350°C 與 450° 下所得之銦鈦酸鉛薄膜的上視圖，其係由 TEM 而得；

第 4 圖所繪示為本發明之較佳實施例中，在 325°C~450°C 下形成之 PZT 薄膜的 X-ray 繞射光譜；以及

第 5A、5B 與 5C 圖係分別繪示本發明之較佳實施例中，在 375°C、400°C 與 450°C 下形成之 PZT 薄膜的電滯效應(Ferroelectric Hysteresis)曲線。

圖式之標號說明：

100：介電層(Dielectric Layer)

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明(5)

110：最上層金屬內連線(Metal Interconnection)

120：介電層(Dielectric Layer)

130：阻障層(barrier Layer)

140：氧化釧鎳薄膜/下電極(LNO film/Bottom Electrode)

150：銦鈦酸鉛薄膜(PZT film)

160：上電極(Top Electrode)

### 較佳實施例說明

本較佳實施例中係以電容器及其中之銦鈦酸鉛薄膜的製程為例，其中下電極與銦鈦酸鉛薄膜係以本發明所提之方法來形成。

請參照第 1 圖，首先提供介電層 100，其下為 CMOS 元件及其他金屬層，且其上已形成有最上層之金屬內連線結構 110 與一介電層 120，其中介電層 120 之材質較佳為電漿增強型化學氣相沉積法(PECVD)所形成之氧化矽。此處可先製做金屬內連線結構 110 之原因如前所述，是由於本發明之銦鈦酸鉛薄膜形成溫度較低所致。

請繼續參照第 1 圖，接著於介電層 120 上沈積一層阻障層 130，其材質例如為氮化鈦(TiN)、氮化鈦鎢(TiWN)、氮化鈦鋁(TiAlN)，或是氮化鉭(TaN)。然後以臨場之方式，於 350°C 左右在阻障層 130 上濺鍍成長氧化釧鎳(LNO)層 140，其係作為下電極，且此氧化釧鎳層 140 中的 La 與 Ni 之莫耳比約為 1:1.3。

請繼續參照第 1 圖，接著臨場之方式，於 350°C~450°C 下於氧化釧鎳層 140 上濺鍍並同時進行磊晶，以成長 PZT

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明(6)

薄膜 150，此時系統中係為純氬，且不能含有氧氣，以免降低 PZT 薄膜之品質；另外，濺鍍鈮的組成是  $Pb_yZr_xTi_{1-x}O_3$  ( $y \geq 1$ )。接下來於 PZT 薄膜 150 之上形成上電極 160，其材質例如為氧化鏷鎳(LNO)、鉑(platinum, Pt)、二氧化銥(iridium dioxide,  $IrO_2$ )、二氧化鈦( $RuO_2$ )、銥(iridium, Ir)，或是鈦(ruthenium, Ru)。

### 實驗結果

請參照第 2 圖，其所繪示為本發明之較佳實施例中，以穿透式電顯(TEM)所得之氧化鏷鎳薄膜 140 及銦鈦酸鉛薄膜 150 的剖面圖，其中氧化鏷鎳薄膜 140 係為 350°C 下形成者，且銦鈦酸鉛薄膜 150 係為 400°C 下形成者。如第 2 圖所示，銦鈦酸鉛薄膜 150 係沿著氧化鏷鎳(LNO)薄膜 140 之晶格位向向上成長，可見其係磊晶成長。

第 3A 與 3B 圖係分別繪示本發明之較佳實施例中，在 350°C 與 450°C 下所得之銦鈦酸鉛薄膜的平面圖，其係由 TEM 而得。由第 3A 與 3B 圖可見，450°C 下所得之銦鈦酸鉛薄膜的結晶性優於 350°C 下所得者。

第 4 圖所繪示為本發明之較佳實施例中，在 325°C~450°C 下形成之 PZT 薄膜的 X-ray 繞射光譜，此 PZT 薄膜皆於 5 mTorr 之氬氣(Ar)中以濺鍍方式形成，所提供之功率為 50 W，且所使用之濺鍍鈮的組成為  $Pb_{1.1}Zr_{0.53}Ti_{0.47}O_3$ 。如第 4 圖所示，形成溫度愈高時 PZT 之繞射峰愈明顯，表示 PZT 薄膜之 Perovskite 結晶含量隨溫度增加而增加。再者，如第 4 圖所示，在 350°C 時即明

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(7)

顯可見 PZT 之(100)與(200)晶格方向的繞射峰，表示本發明之 PZT 薄膜的形成溫度即使降至 350°C，還是可以得到整齊的晶格結構。另外，分析 PZT 薄膜的 X-ray 繞射光譜之後，還得知 PZT 薄膜之晶格參數中的 a 值為 4.036 Å，c 值為 4.146 Å；且 LNO 薄膜之晶格參數中的 a 值為 4.05 Å，c 值為 4.09 Å。由於 PZT 薄膜與 LNO 薄膜之晶格參數相近，故本發明能夠以臨場之方式，在較低溫下沈積 PZT 薄膜，並同時使其具有所需之晶型。

第 5A、5B 與 5C 圖係分別繪示本發明之較佳實施例中，在 375°C、400°C 與 450°C 下形成之 PZT 薄膜的鐵電滯效應(Ferroelectric Hysteresis)曲線，其中電場為 0 時之正向殘留極化值與負向殘留極化值之差異標示為  $2P_r$ ，且上下電極間電壓在 5V 與 -5V 之間變化時的測試結果以箭號指出。第 5A、5B 與 5C 圖所示，當溫度愈高時，電壓在 5V 與 -5V 之間變化之情形下的  $2P_r$  值即愈大。此  $2P_r$  值對 FeRAM 而言是很重要的，因為一般作法在存入資料值"1"於 FeRAM 中時，係使電容器中之鐵電薄膜具有負向的殘留極化值；而存入"0"時係使鐵電薄膜具有正向的殘留極化值。因此，負向殘留極化值與正向殘留極化值之差異愈大，"0"與"1"之讀出訊號(Readout Signal)的差異即愈大，而"0"與"1"的誤判機會則愈小。

上述之 PZT 薄膜係於 5 mTorr 之氬氣(Ar)中以濺鍍方式形成，然而，在實際應用上氬氣的壓力範圍可以為 1 mTorr 至 50 mTorr 之間，甚至根據靶材的面積來調整氬氣

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明( 8 )

壓力的大小。

此外，在上述實施例中位於 PZT 薄膜下方的氧化釧鎳 (LNO) 層係以臨場之方式於 350 °C 磊晶長成 PZT 所需之晶型，即 Perovskite 型。然而，在實際的製程中，氧化釧鎳 (LNO) 層長成 PZT 所需之晶型僅需在 350 °C 以上即可長成。因此，配合低溫之訴求，本發明之氧化釧鎳 (LNO) 層亦可於 350 °C 至 500 °C 之間臨場磊晶長成所需之晶型。

如上所述，由於本發明之方法中形成 PZT 薄膜的溫度可低至 350 °C，其值遠低於習知者，且位於 PZT 薄膜下方的氧化釧鎳 (LNO) 層亦可於 350 °C 至 500 °C 之間以臨場的方式磊晶長成 PZT 所需之晶型，即 Perovskite 型，故本發明之方法可先製做金屬內連線再製做電容器，而得以避免下電極易與 PZT 薄膜反應、機台易受 PZT 薄膜之污染，以及電容器易受電漿破壞的問題。此外，由於本發明之方法中形成 PZT 薄膜之溫度較低，故亦可應用在壓電裝置之製程或焦電裝置之製程中，其較能避免基底受到高溫之破壞。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

1.一種磊晶成長銻鈦酸鉛薄膜的方法，包括下列步驟：  
提供一基底；

以臨場(in-situ)之方式，使用濺鍍法於該基底上磊晶成長一氧化釧鎳(LNO)薄膜；以及

以臨場之方式，並在 350°C~500°C 之溫度下，使用濺鍍法於該氧化釧鎳薄膜上磊晶成長一銻鈦酸鉛(PZT)薄膜。

2.如申請專利範圍第 1 項所述之磊晶成長銻鈦酸鉛薄膜的方法，其中成長該銻鈦酸鉛薄膜之溫度介於 350°C 至 450°C 之間。

3.如申請專利範圍第 1 項所述之磊晶成長銻鈦酸鉛薄膜的方法，其中成長該氧化釧鎳薄膜之溫度為 350°C 至 500°C 之間。

4.如申請專利範圍第 1 項所述之磊晶成長銻鈦酸鉛薄膜的方法，其中使用濺鍍法以在該基底上磊晶成長該銻鈦酸鉛薄膜時，係使用組成為  $\text{Pb}_y\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$  ( $y \geq 1$ )之一濺鍍鈮。

5.如申請專利範圍第 1 項所述之磊晶成長銻鈦酸鉛薄膜的方法，其中成長該銻鈦酸鉛薄膜時係處於氬氣(Ar)之環境中。

6.如申請專利範圍第 5 項所述之磊晶成長銻鈦酸鉛薄膜的方法，其中成長該銻鈦酸鉛薄膜時係氬氣之壓力為 1 mTorr 至 50mTorr。

7.如申請專利範圍第 1 項所述之磊晶成長銻鈦酸鉛薄

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

膜的方法，其係應用於一動態隨機存取記憶體之製程中。

8.如申請專利範圍第 1 項所述之磊晶成長銦鈦酸鉛薄膜的方法，其係應用於一鐵電隨機存取記憶體之製程中。

9.如申請專利範圍第 1 項所述之磊晶成長銦鈦酸鉛薄膜的方法，其係應用於一壓電(Piezoelectric)裝置之製程中。

10.如申請專利範圍第 1 項所述之磊晶成長銦鈦酸鉛薄膜的方法，其係應用於一焦電(Pyroelectric)裝置之製程中。

11.一種電容器的製造方法，包括下列步驟：

提供一基底；

於該基底上沈積一阻障層；

以臨場(in-situ)之方式，使用濺鍍法於該阻障層上磊晶成長一氧化鎳鎳(LNO)薄膜，以作為該電容器之一下電極；以及

以臨場之方式，並在 350°C~500°C 之溫度下，使用濺鍍法於該氧化鎳鎳薄膜上磊晶成長一銦鈦酸鉛(PZT)薄膜；以及

於該銦鈦酸鉛薄膜上形成一上電極。

12.如申請專利範圍第 11 項所述之電容器的製造方法，其中該基底上已形成有一金屬內連線結構與其上之一金屬間介電層，且該阻障層係形成在該金屬間介電層之上。

13.如申請專利範圍第 11 項所述之電容器的製造方法，其中該阻障層之材質係選自由氮化鈦(TiN)、氮化鈦鎢

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

(TiWN)、氮化鈦鋁(TiAlN)，以及氮化鉭(TaN)所組成之族群。

14.如申請專利範圍第 11 項所述之電容器的製造方法，其中該上電極之材質係選自由氧化釧鎳(LNO)、鉑(Pt)、二氧化銥(IrO<sub>2</sub>)、二氧化鈦(RuO<sub>2</sub>)、銥(Ir)，以及鈦(Ru)所組成之族群。

15.如申請專利範圍第 11 項所述之磊晶成長銦鈦酸鉛薄膜的方法，其中成長該銦鈦酸鉛薄膜之溫度介於 350°C 至 450°C 之間。

16.如申請專利範圍第 11 項所述之磊晶成長銦鈦酸鉛薄膜的方法，其中成長該氧化釧鎳薄膜之溫度為 350°C 至 500°C 之間。

17.如申請專利範圍第 11 項所述之磊晶成長銦鈦酸鉛薄膜的方法，其中使用濺鍍法以在該基底上磊晶成長該銦鈦酸鉛薄膜時，係使用組成為  $Pb_yZr_xTi_{1-x}O_3$  ( $y \geq 1$ ) 之一濺鍍鈮。

18.如申請專利範圍第 11 項所述之磊晶成長銦鈦酸鉛薄膜的方法，其中成長該銦鈦酸鉛薄膜時係處於氬氣(Ar)之環境中。

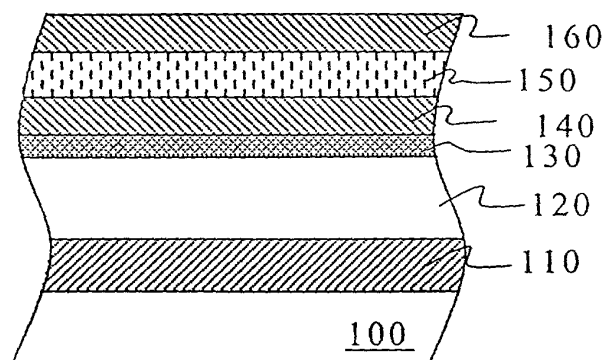
(請先閱讀背面之注意事項再填寫本頁)

裝

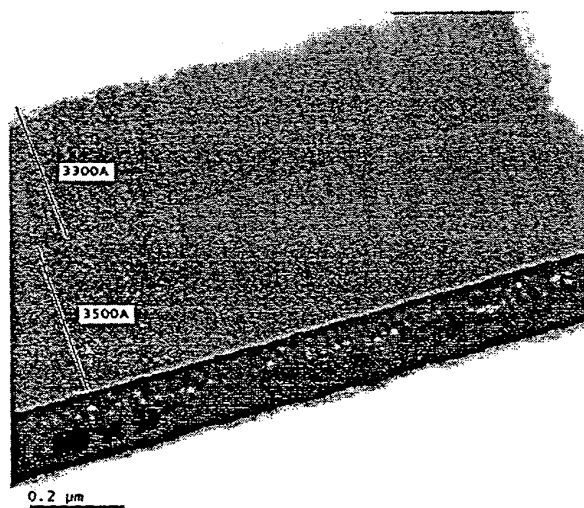
訂

線

7578TW



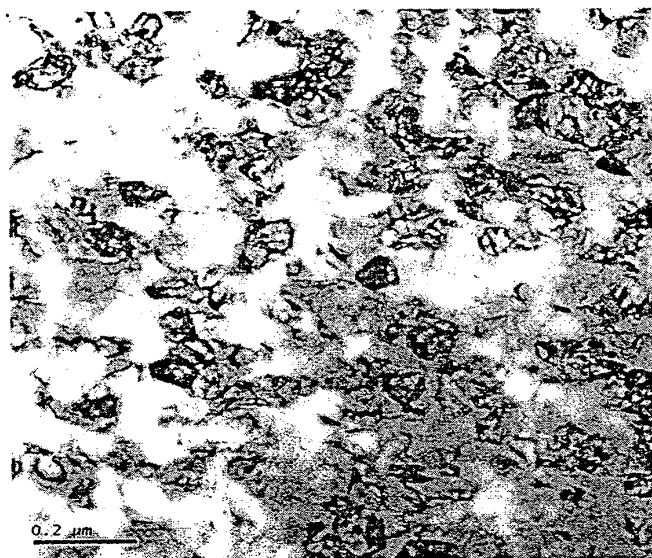
第 1 圖



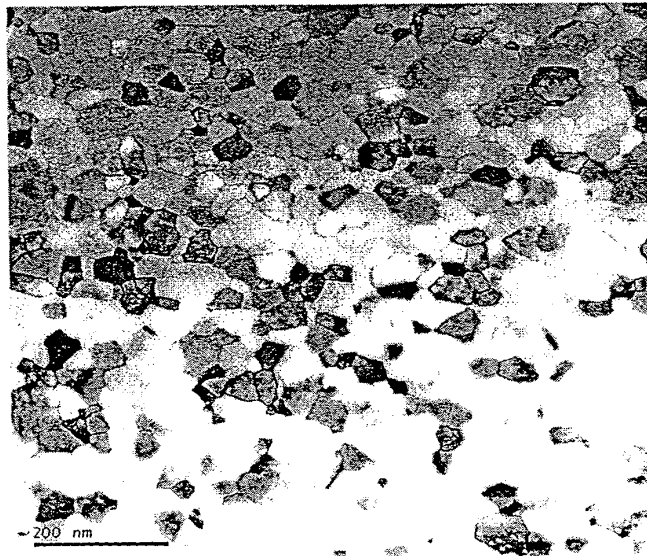
第 2 圖



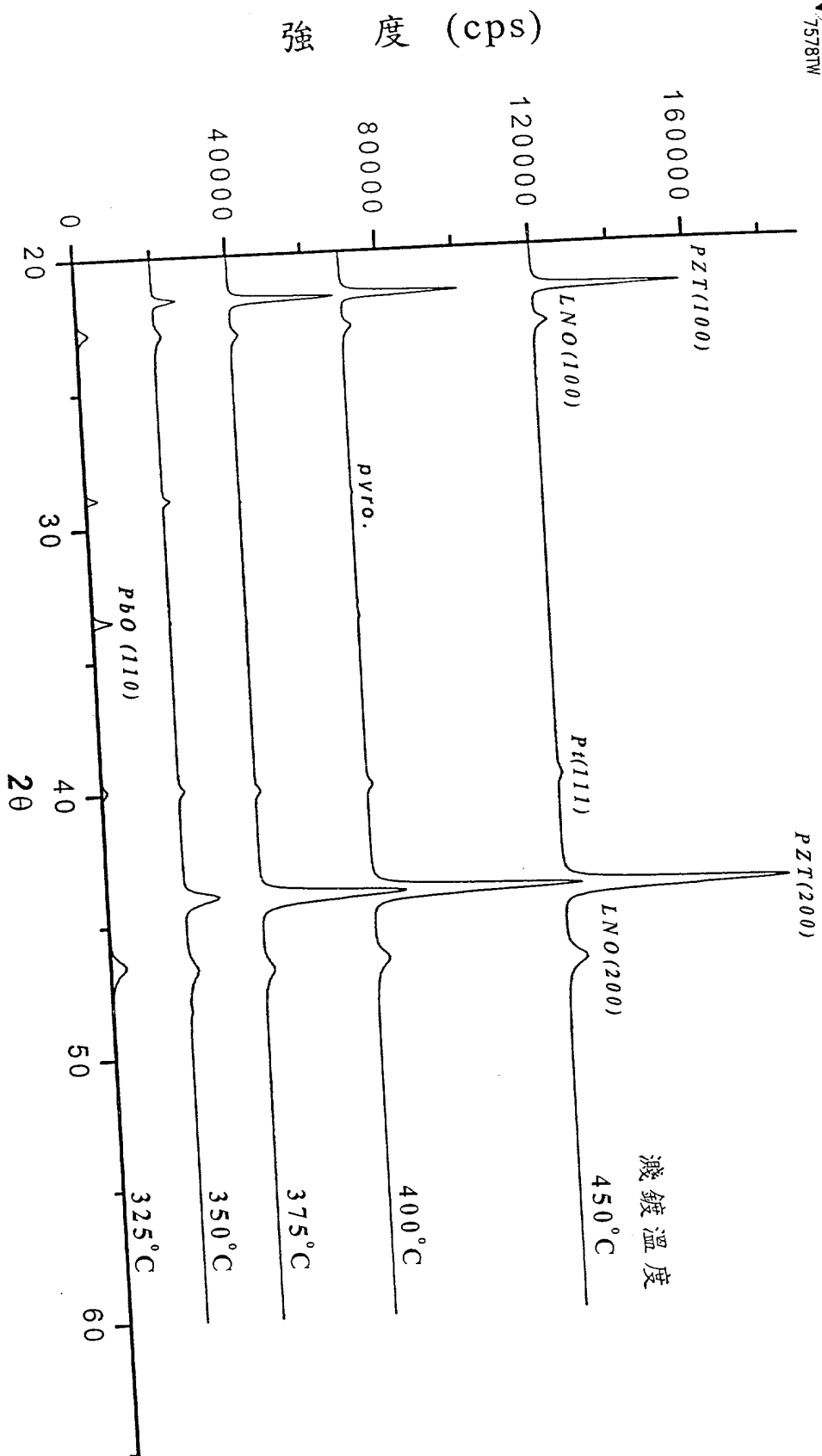
7578TW



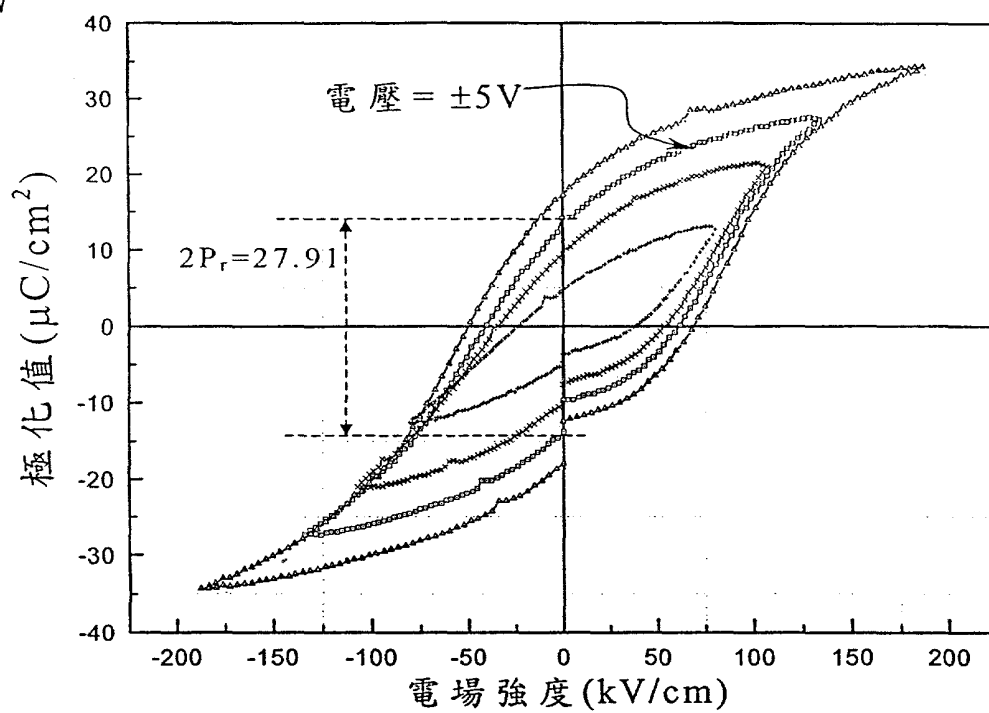
第 3A 圖



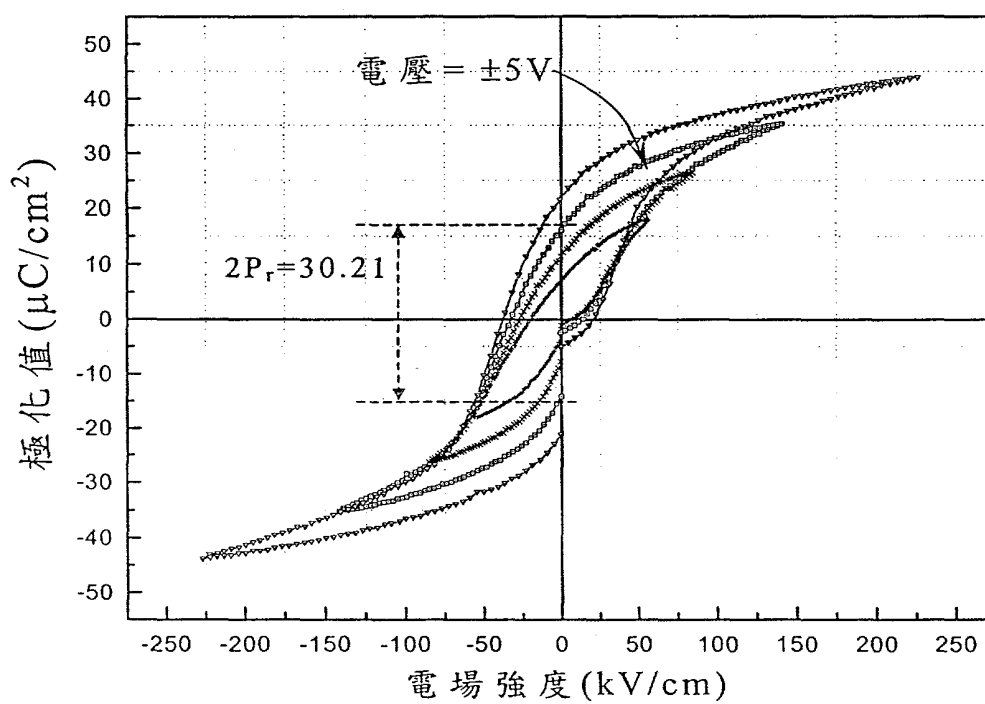
第 3B 圖



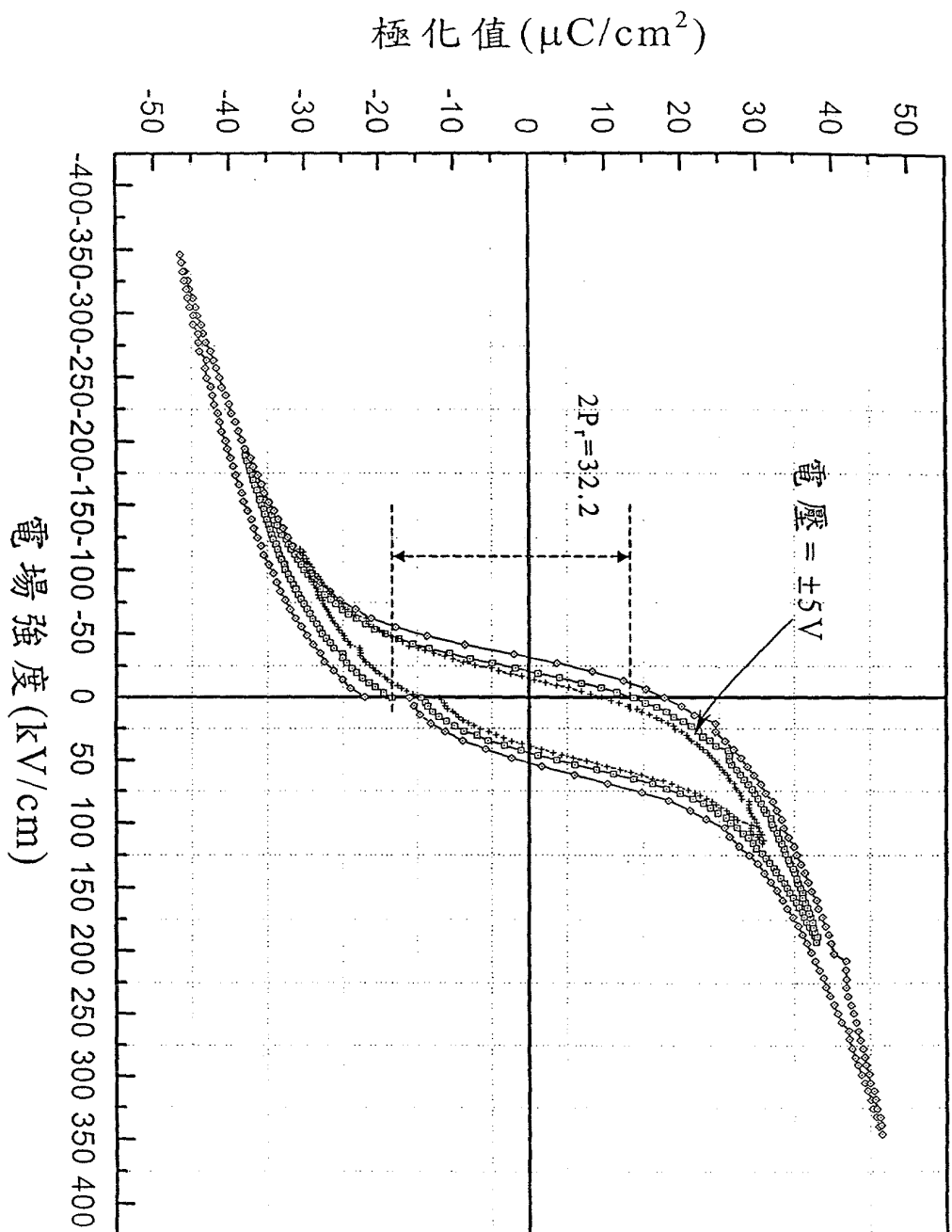
第4圖



第 5A 圖



第 5B 圖



第 5C 圖